

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 11 月 18 日  
Application Date

申請案號：091133663  
Application No.

申請人：日月光半導體製造股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 9 月 1 日  
Issue Date

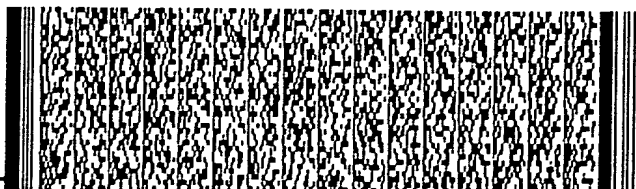
發文字號：09220879050  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	半導體晶片封裝構造及製造方法
	英 文	SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF
二、 發明人 (共1人)	姓 名 (中文)	1. 陶恕
	姓 名 (英文)	1. Tao, Su
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市左營區崇實新村72之2號
	住居所 (英 文)	1. No. 72-2, Chungshshintsun, Tzuoying Chiu, Kaohsiung, Taiwan 813, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chang, Jason



四、中文發明摘要 (發明名稱：半導體晶片封裝構造及製造方法)

一種半導體晶片封裝構造主要包括一基板、一半導體晶片，半導體晶片係與基板電性連接。該基板具有一上表面、一下表面及一側面。其中，上表面係具有複數條導電線，側面具有複數個導接點，而導接點與複數條導電線電性連接。再者，形成複數個導接元件(如錫球)於導接點，以使晶片訊號能由基板及其側面上之導接點經導接元件(如錫球)向外傳遞。此外，更可藉由黏著層將複數個上述之半導體晶片封裝構造相互連接，以形成一半導體晶片封裝模組構造。此外，本發明另提供製造上述半導體晶片封裝構造之方法。

伍、(一)、本案代表圖為：圖8

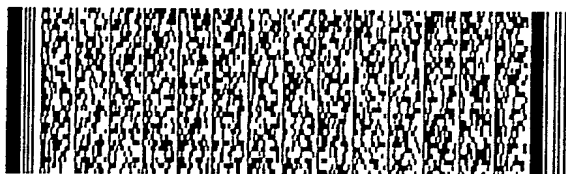
(二)、本案代表圖之元件代表符號簡單說明：

4 半導體晶片封裝構造

41 基板

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF)

A semiconductor package mainly comprises a substrate, a semiconductor chip. The semiconductor chip is electrically connected with the substrate. The substrate includes an upper surface, a lower surface and a lateral surface. A plurality of conductive traces are formed on the upper surface and a plurality of terminals are formed on the lateral surface, wherein the terminals are

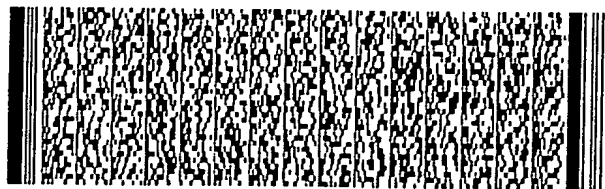


四、中文發明摘要 (發明名稱：半導體晶片封裝構造及製造方法)

- 411 上表面
- 412 下表面
- 413 側面
- 414 凹部
- 42 半導體晶片
- 421 半導體晶片背面
- 422 半導體晶片主動表面
- 43 導接元件
- 44 底膠
- 5 黏著層
- 6 模組基板

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF)

electrically connected with the conductive traces. Besides, a plurality of solder balls are formed on the terminals in order to transmit the signals from semiconductor chip to outside through the substrate, the terminals and the solder balls. Furthermore, a semiconductor package module will be formed by the semiconductor packages which are mounted with each other side by side through



四、中文發明摘要 (發明名稱：半導體晶片封裝構造及製造方法)

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF)

adhesive layers between. In addition, the invention also provides a method for manufacturing the semiconductor package as mentioned above.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明領域】

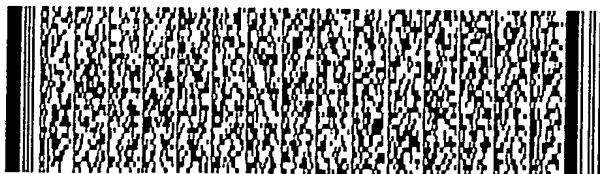
本發明係有關於一種半導體晶片封裝構造及製造方法，尤關於一種半導體晶片封裝模組之構造及其製造方法。

### 【習知技術】

近年來，隨著電子技術的日新月異，高科技電子產品也相繼問世，因而更人性化、功能性更佳之電子產品不斷推陳佈新，然而各種產品無不朝向輕、薄、短、小的趨勢設計，以提供更便利舒適的使用。因此，就半導體封裝的領域而言，許多封裝的形式均是利用多晶片封裝的概念來設計其封裝架構，以縮減整體電路體積的大小，並提高電性效能。

半導體晶片封裝係由晶圓切割成複數個半導體晶片單元後，再提供一基板並將切割後之半導體晶片單元以打線方式電性連接該基板，再以封膠材質包覆該半導體晶片單元或覆晶封裝方式電性連接該基板。

如圖1所示，堆疊型之半導體封裝構造，受限於上層晶片11的水平截面積必須小於下層晶片12之水平截面積，當上層晶片11的水平截面積與下層晶片12之水平截面積相近時，便無法利用此種封裝結構進行封裝，在使用上有其限制。另外，就對應於上層晶片11之打線接點111與對應於下層晶片之打線接點121而言，在電路繞線上太過集中且相鄰的間距(pitch)很小，如此形式之基板13不易設



## 五、發明說明 (2)

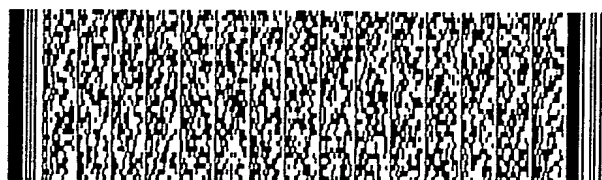
計，並且成本甚高。此外封裝體之上層導線14必須很長，以跨越過下層導線的區域，否則上層導線14極有可能會與下層導線15產生碰觸的情形，而造成晶片失效；另外，由於上層導線14的長度甚長，如此會有訊號衰減與延遲的發生，降低晶片的效能，並且也會有沖線的困擾。

圖2所示為另一傳統之堆疊型半導體封裝構造。如圖2所示，第一半導體晶片21係配置於第一基板22上，該第一半導體晶片21係與該第一基板22電性連接以組成第一封裝體。其中，第一半導體晶片21與第一基板22之電連接方式可為覆晶形式或傳統之打線封裝模式。依同樣的連接方式，一第二半導體晶片23係與其對應之第二基板24電性連接以組成第二封裝體，一第三半導體晶片25係與其對應之第三基板26電性連接以組成第三封裝體。在記憶體模組中，通常將複數個相同之記憶晶片相互電性連通以擴大記憶容量。同樣地，為使上述第一、第二封裝體及第三封裝體相互電性連接組合，需提供另一中介基板27，以分別作為第一、第二封裝體及第三封裝體間之連通介面。如此，將增加整體模組之厚度及體積。

因此，如何避免上述問題之發生及改善上述之缺點，據以達成半導體晶片封裝構造之良好實為一重要的課題。

### 【發明概要】

鑑於上述的課題，本發明之目的係在於提供一半導體晶片封裝構造，以減少半導體晶片堆疊或半導體封裝體組





### 五、發明說明 (3)

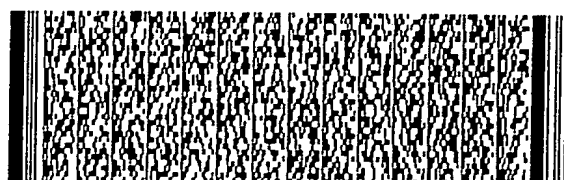
合後之封裝模組厚度及體積。

為達上述目的，本發明係提供一種半導體晶片封裝構造，該封裝構造主要包括一基板、一半導體晶片，半導體晶片係配置於基板上且與基板電性連接。其中，半導體晶片與基板可為覆晶形式連接，亦可藉傳統之打線方式接合。該基板具有一上表面、一下表面及一側面。其中，上表面係具有複數條導電線(conductive traces)，側面具有複數個導接點，而導接點與複數條導電線係電性連接。再者，形成複數個導接元件(如鉚球)於導接點，以使晶片訊號能由基板及其側面之導接點經導接元件向外傳遞。

本發明亦提供一種半導體晶片封裝模組構造，其係藉由黏著層將複數個上述之半導體晶片封裝構造相互連接以組成。

又，本發明更可提供一封裝基板，用以製造上述之半導體封裝構造。

本發明亦提供一種半導體晶片封裝構造之製造方法，其包括下列步驟：提供一晶片及一基板陣列。該基板陣列其係由兩相同之基板所組成，除具有一上表面、一下表面及一切割道外，更包含複數個貫孔。其中，基板係藉由切割道相互分隔，且貫孔係形成於切割道上並貫穿該上表面及下表面。沿著切割道切割該基板陣列，以將其分割為複數個獨立基板。接著，將晶片藉複數個凸塊與基板電性連接。最後，形成複數個導接元件(如鉚球)於分割後之貫孔處以完成半導體晶片封裝構造。



#### 五、發明說明 (4)

由於，本發明之半導體晶片封裝構造，係於基板側面形成導接元件以作為與模組基板或母板之連接點，故其堆疊時係以橫向連接之方式擴展組成封裝模組，如此可大大減少半導體晶片封裝模組之縱向厚度。

#### 【較佳實施例之詳細說明】

請參考相關圖式，以說明本發明較佳實施例之半導體晶片封裝構造。

如圖3至6所示，本發明之半導體晶片封裝構造主要包括一基板31、一半導體晶片32。基板31具有一上表面311、一相對於上表面311之下表面312及一側面313。該側面313係連接該上表面311及該下表面312。上表面311係具有複數條導電線314，側面313係具有複數個凹部315，至少一金屬層設置於該等凹部315上，而凹部315係與複數條導電線314電性連接。其中，銅、鎳、金等金屬層可依序形成於該凹部315。半導體晶片32具有一主動表面321及一相對於主動表面之背面322，複數個鐳墊323形成於主動表面321上，複數個凸塊324形成於鐳墊323上。半導體晶片32之主動表面321係面對基板31之上表面311配置，且藉凸塊324以覆晶接合之方式電性連接於基板31。其中，半導體晶片32係由矽所構成，凸塊324可為錫鉛凸塊或金凸塊。金凸塊可由傳統之打線方式形成，鐳錫凸塊可藉由電鍍(plating)或網版印刷(screen printing)的方式形成於對應之晶片鐳墊上之球底金屬層表面，再經迴鐳(reflow)

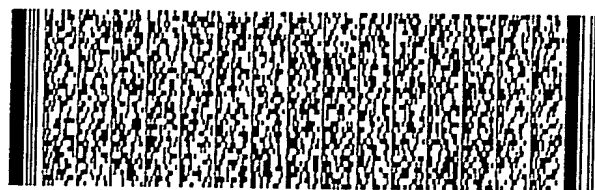
## 五、發明說明 (5)

形成鐸錫凸塊。

此外，由於基板31與半導體晶片32之熱膨脹係數並不一致，為避免封裝構造受熱應力之影響，故於凸塊324與半導體晶片32及基板31連接處，係藉底膠33或其他具有相同功效之填充體填充於半導體晶片32與基板31之間，以降低熱應力對封裝構造之影響。

再者，形成導接元件(如鐸球，未標示於圖中)於基板側面313之凹部，以使晶片訊號能由基板31及其側面上之凹部315經導接元件向外傳遞，而使半導體封裝構造能與母板、電路板或其他電子元件訊號連接。由於基板側面313之凹部315能藉由導接元件與其他電子元件導通，故該凹部315可視為一導接點(terminal)以取代傳統基板上之鐸墊。

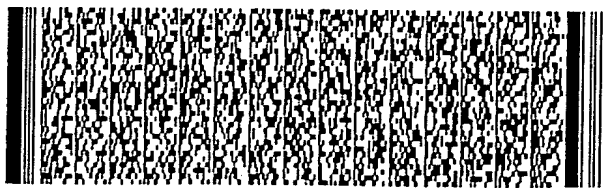
如圖5所示，該凹部315可為一槽溝。接著，請參照圖7。凹部315可由下列步驟形成：提供一基板陣列34，其係由兩相同之基板31所組成，除具有一上表面311、一下表面(未示於圖中)及一切割道316外，更包含複數個貫孔317。其中，基板31係藉由切割道316相互分隔，且貫孔317係形成於切割道316上並貫穿該上表面311及下表面。其中，貫孔317可利用機械鑽孔法(mechanical drilling)、雷射燒融法(laser ablation)、光化學反應法(photochemical reaction)、或電漿蝕刻法(plasma etching)形成。接著，沿切割道316切割以分割該基板陣列34為獨立基板31。其中，切割後之貫孔317即形成凹部



#### 五、發明說明 (6)

(未示於圖中)。另外，基板陣列34分割前，可先形成金屬層於貫孔317之周壁上(未示於圖中)，該步驟為：於基板陣列34配置銅線路之同時形成一銅金屬於貫孔317之周壁上，由於貫孔317之周壁表面主要是非導體性之複合材料，故須先使具催化特性之"鈦"附著於周壁表面上，再以無電電鍍法於貫孔317之周壁表面形成一薄銅層，此薄銅層之厚度約 $0.5\ \mu\text{m}$ 。然後，再以一般電鍍法加厚薄銅層，以形成金屬層，其厚度約 $20\ \mu\text{m}$ 。另外，亦可以直接電鍍法(direct plating)來形成金屬層。直接電鍍法是先於貫孔317之周壁表面塗敷一導電高分子膜(conductive polymer)或可導電的碳粉層，再以電鍍法形成金屬層。最後，以電鍍之方式或其他之金屬沉積方式依序形成鎳層及金層。如此，該凹部即形成一導接點。

再者，如上所述之半導體晶片封裝構造可以藉由複數個導接元件(如鐸球或凸塊)與其他導電元件連通(如基板或晶片)。此外，更可將複數個半導體晶片橫向堆疊接合，以形成半導體晶片封裝模組構造。請參考圖8，一半導體晶片封裝模組構造係由兩相同之半導體晶片封裝構造4、複數個導接元件43、(如鐸球)及模組基板6所組成。其中，半導體晶片封裝構造4主要包括一基板41、一半導體晶片42。基板41具有一上表面411、一相對於上表面411之下表面412及一側面413。該側面413係連接上表面411及下表面412。該側面413係具有複數個凹部414，且藉由形成於凹部414之導接元件43與模組基板6電性連接，而半導



#### 五、發明說明 (7)

體晶片42係以覆晶接合之方式與基板41電性連接。其中，該等半導體晶片封裝構造4係藉由黏著層5連接一半導體晶片之背面421與另一基板之下表面412，以形成半導體晶片封裝模組構造。

此外，於上述之半導體晶片封裝構造4中，由於基板41與半導體晶片42之熱膨脹係數並不一致，為避免封裝構造受熱應力之影響，故於半導體晶片42及基板41連接處，可藉底膠44或其他具有相同功效之填充體填充之，以降低熱應力對封裝構造之影響。

於本實施例之詳細說明中所提出之具體的實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，因此，在不超出本發明之精神及以下申請專利範圍之情況，可作種種變化實施。



## 圖式簡單說明

### 【圖式之簡單說明】

圖1為一示意圖，顯示習知之堆疊型半導體封裝構造。

圖2為一示意圖，顯示習知之另一堆疊型半導體封裝構造。。

圖3為一剖面示意圖，顯示本發明較佳實施例中，半導體晶片側面具有導接點之封裝構造。

圖4為一示意圖，顯示圖3中，封裝基板之上視圖。

圖5為一示意圖，顯示圖3中，封裝基板側面之剖面圖。

圖6為一示意圖，顯示圖3中，半導體晶片之上視圖。

圖7為一示意圖，顯示本發明較佳實施例中，封裝基板陣列之上視圖。

圖8為一示意圖，顯示本發明較佳實施例中，半導體晶片封裝模組構造。

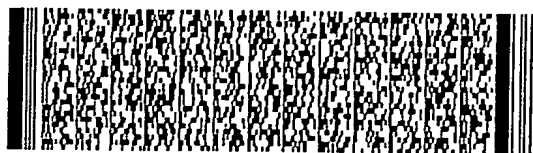
### 【圖式符號說明】

- 11 上層晶片
- 111 上層晶片打線接點
- 12 下層晶片
- 121 下層晶片打線接點
- 13 基板
- 14 上層導線
- 15 下層導線



圖式簡單說明

- 21 第一半導體晶片
- 22 第一基板
- 23 第二半導體晶片
- 24 第二基板
- 25 第三半導體晶片
- 26 第三基板
- 27 中介基板
- 31 基板
- 311 基板上表面
- 312 基板下表面
- 313 基板側面
- 314 導電線
- 315 凹部
- 316 切割道
- 317 貫孔
- 32 半導體晶片
- 321 主動表面
- 322 背面
- 323 鐳墊
- 324 凸塊
- 33 底膠(填充體)
- 34 基板陣列
- 4 半導體晶片封裝構造
- 41 基板



圖式簡單說明

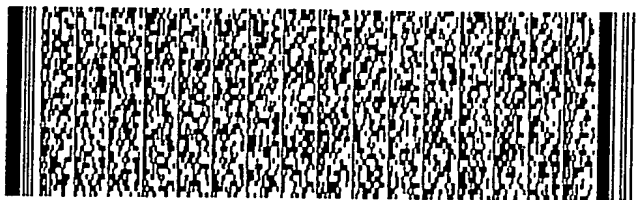
- 411 上表面
- 412 下表面
- 413 側面
- 414 凹部
- 42 半導體晶片
- 421 半導體晶片背面
- 422 半導體晶片主動表面
- 43 導接元件
- 44 底膠(填充體)
- 5 黏著層
- 6 模組基板





## 六、申請專利範圍

1. 一種半導體晶片封裝構造，包含：
  - 一基板，該基板具有一上表面、一下表面及一側面，該側面係連接該上表面及該下表面，複數條導電線設置於該上表面，複數個凹部設置於該側面上且與該等導電線電性連接，至少一金屬層設置於該等凹部上；及
  - 一晶片，具有一主動表面及相對於該主動表面之一背面，該主動表面上具有複數個鐳墊，複數個凸塊係設於該等鐳墊上，該晶片係以該主動表面面向該基板上表面配置，且藉該複數個凸塊電性連接於該基板上表面。
2. 如申請專利範圍第1項之半導體晶片封裝構造，其中該金屬層係包含銅層、鎳層及金層。
3. 如申請專利範圍第1項之半導體晶片封裝構造，更包含：
  - 一填充體，其係填充於該基板上表面與該半導體晶片主動表面之間。
4. 如申請專利範圍第1項之半導體晶片封裝構造，其中，該基板更包含複數個導接元件，該等導接元件係形成於該等金屬層上。
5. 如申請專利範圍第4項之半導體晶片封裝構造，其中該導接元件係為鐳球。



## 六、申請專利範圍

6. 一種半導體晶片封裝構造，包含：
- 一基板，該基板具有一上表面、一下表面及一側面，該側面係連接該上表面及該下表面，複數條導電線設置於該上表面，複數個導接點設置於該側面上且與該等導電線電性連接；及
  - 一晶片，具有一主動表面及相對於該主動表面之一背面，該半導體晶片係配置於該基板上表面且與該基板電性連接。
7. 如申請專利範圍第6項之半導體晶片封裝構造，更包含：
- 一填充體，其係填充於該基板上表面與該半導體晶片主動表面之間。
8. 如申請專利範圍第6項之半導體晶片封裝構造，其中，該基板更包含：
- 複數個導接元件，該等導接元件係形成於該導接點上。
9. 如申請專利範圍第8項之半導體晶片封裝構造，其中該導接元件係為鐳球。
10. 一種半導體晶片封裝構造，包含：
- 一第一基板，該第一基板具有一第一上表面、一第一下表



## 六、申請專利範圍

面及一第一側面，該第一側面係連接該第一上表面及第一下表面，複數條第一導電線設置於該第一上表面，複數個第一導接點設置於該第一側面上且與該等第一導電線電性連接；

一第二基板，該第二基板具有一第二上表面、一第二下表面及一第二側面，該第二側面係連接該第二上表面及第二下表面，複數條第二導電線設置於該第二上表面，複數個第二導接點設置於該第二側面上且與該等第二導電線電性連接；

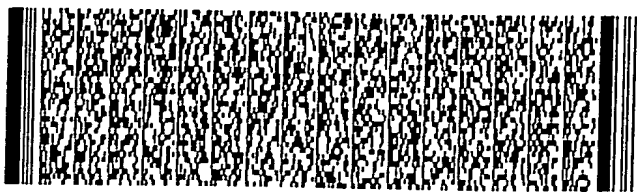
一第一晶片，具有一第一主動表面及相對於該第一主動表面之一第一背面，該第一晶片係配置於該第一基板之第一上表面且與該第一基板電性連接；

一第二晶片，具有一第二主動表面及相對於該第二主動表面之一第二背面，該第二晶片係配置於該第二基板之第二上表面且與該第二基板電性連接，該第二晶片之該第二背面係與該第一基板之該第一下表面連接；及  
複數個導接元件形成於該等導接點。

11. 如申請專利範圍第10項之半導體晶片封裝構造，更包含：

至少一黏著層設置於該第二晶片之第二背面與該第一基板之第一下表面間。

12. 如申請專利範圍第10項之半導體晶片封裝構造，更包



六、申請專利範圍

含：

一 模組基板，該模組基板係藉由該等導接元件與該第一基板及該第二基板電性連接。

13. 如申請專利範圍第10項之半導體晶片封裝構造，更包含：

一 填充體，其係分別填充於該第一基板上表面與該第一晶片之第一主動表面間與該第二基板上表面與該第二晶片之第二主動表面間。

14. 一種基板構造，包含：

一 上表面；

一 下表面；

一 側面，該側面係連接該上表面及該下表面；

複數條導電線，該等導電線係設置於該上表面；

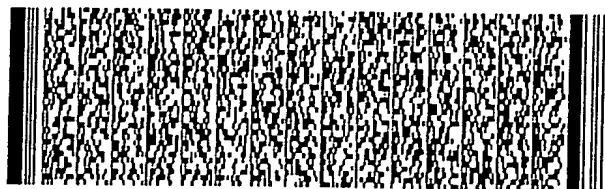
複數個凹部，該等凹部係設置於該側面上且與該等導電線電性連接；及

至少一金屬層係設置於該等凹部上；

15. 如申請專利範圍第14項之基板構造，其中該金屬層依序係為銅層、鎳層及金層。

16. 一種基板構造，包含：

一 上表面；



## 六、申請專利範圍

一下表面；

一側面，該側面係連接該上表面及該下表面；

複數條導電線，該等導電線係設置於該上表面；及

複數個導接點，該等導接點係設置於該側面上且與該等導電線電性連接；

17. 一種半導體晶片封裝構造製造方法，包含：

提供一晶片，該晶片具有一主動表面及相對於該主動表面之一背面，該主動表面上具有複數個鐳墊，複數個凸塊係設於該複數個鐳墊上；

提供一基板陣列，該基板陣列具有一上表面、一下表面、至少一切割道及複數個貫孔，該等貫孔係設置於該切割道處且貫穿該上表面及下表面，每一該等貫孔係具有一周壁，該基板陣列係由複數個基板所組成，該等基板係藉由該等貫孔相互分隔；

沿著該等切割道切割該貫孔以分割該基板陣列為複數個獨立基板；

將該晶片主動表面面向該獨立基板上表面配置，且藉該複數個凸塊電性連接於該基板；及

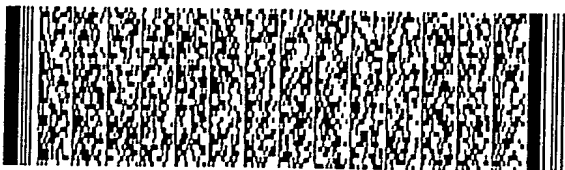
形成複數個導接元件於該等分割後之貫孔。

18. 如申請專利範圍第17項之半導體晶片封裝構造製造方法，更包含：至少形成一金屬層於該等貫孔之周壁上。

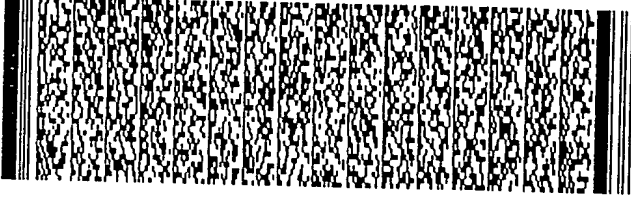


六、申請專利範圍

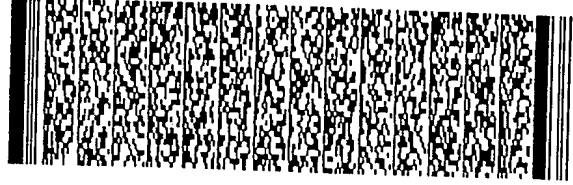
19. 如申請專利範圍第18項之半導體晶片封裝構造製造方法，其中該金屬層係先以一無電極電鍍法於該貫孔之周壁形成一薄膜，再對薄膜該進行一電鍍法所形成。
20. 如申請專利範圍第18項所述之半導體晶片封裝構造製造方法，其中該金屬層係先於該貫孔之周壁形成一導電高分子膜，再進行一電鍍法所形成。
21. 如申請專利範圍第18項之半導體晶片封裝構造製造方法，其中該金屬層依序係為銅層、鎳層及金層。
22. 如申請專利範圍第18項之半導體晶片封裝構造製造方法，其中該貫孔係以一機械鑽孔法形成。
23. 如申請專利範圍第18項之半導體晶片封裝構造製造方法，其中該貫孔係以一雷射燒融法形成。
24. 如申請專利範圍第18項之半導體晶片封裝構造製造方法，其中該貫孔係以一光化學反應法形成。
25. 如申請專利範圍第18項之半導體晶片封裝構造製造方法，其中該貫孔係以一電漿蝕刻法形成。



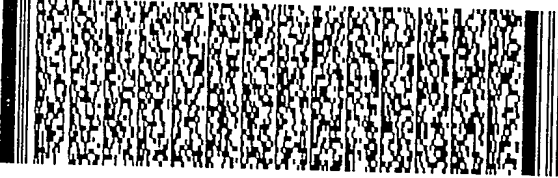
第 1/21 頁



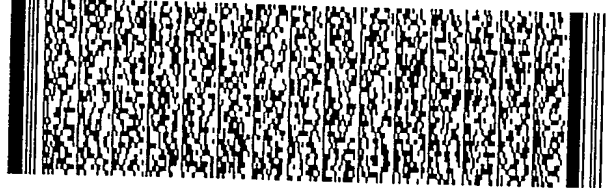
第 2/21 頁



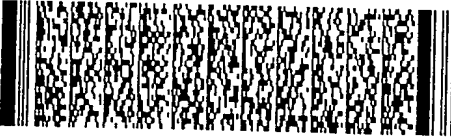
第 2/21 頁



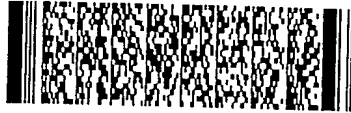
第 3/21 頁



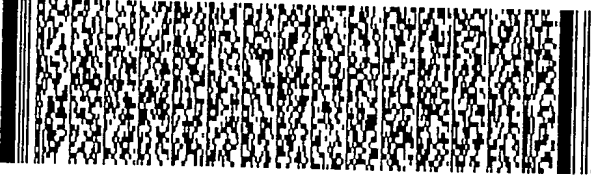
第 4/21 頁



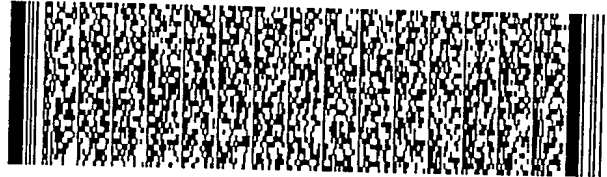
第 5/21 頁



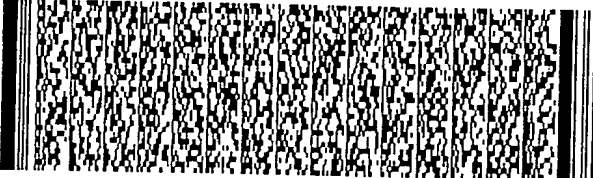
第 6/21 頁



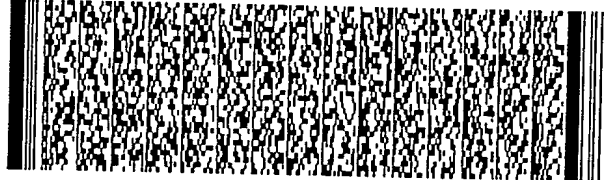
第 6/21 頁



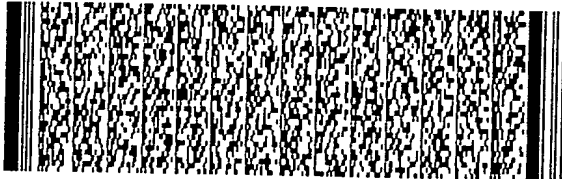
第 7/21 頁



第 7/21 頁



第 8/21 頁



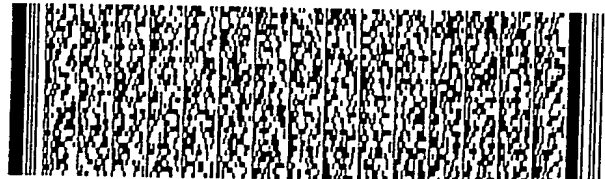
第 8/21 頁



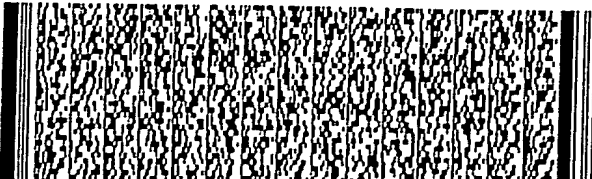
第 9/21 頁



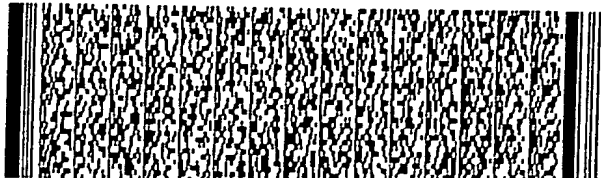
第 9/21 頁



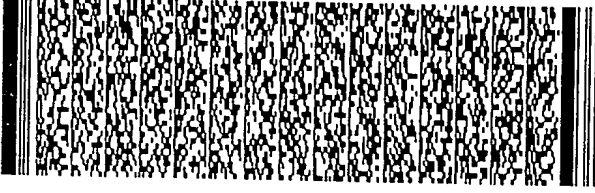
第 10/21 頁



第 10/21 頁



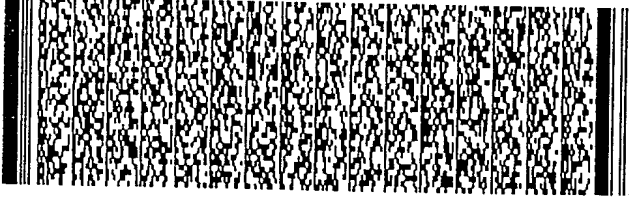
第 11/21 頁



第 11/21 頁



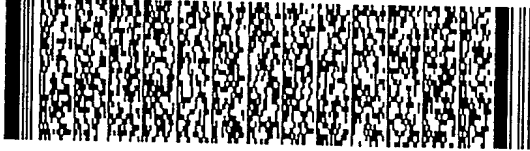
第 12/21 頁



第 13/21 頁



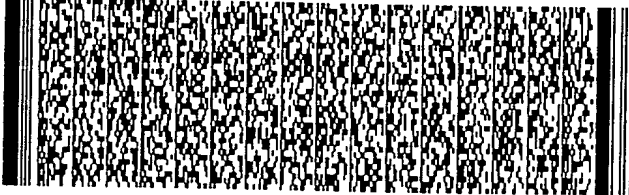
第 14/21 頁



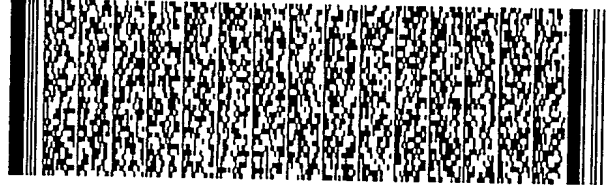
第 15/21 頁



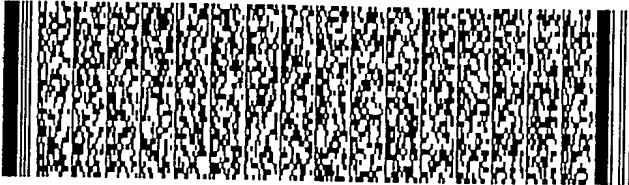
第 16/21 頁



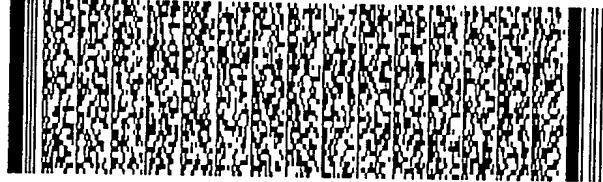
第 17/21 頁



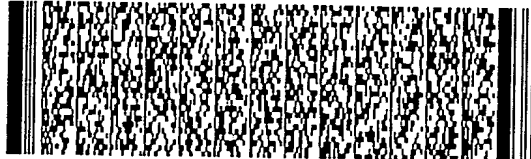
第 18/21 頁



第 19/21 頁



第 20/21 頁



第 20/21 頁



第 21/21 頁





圖式

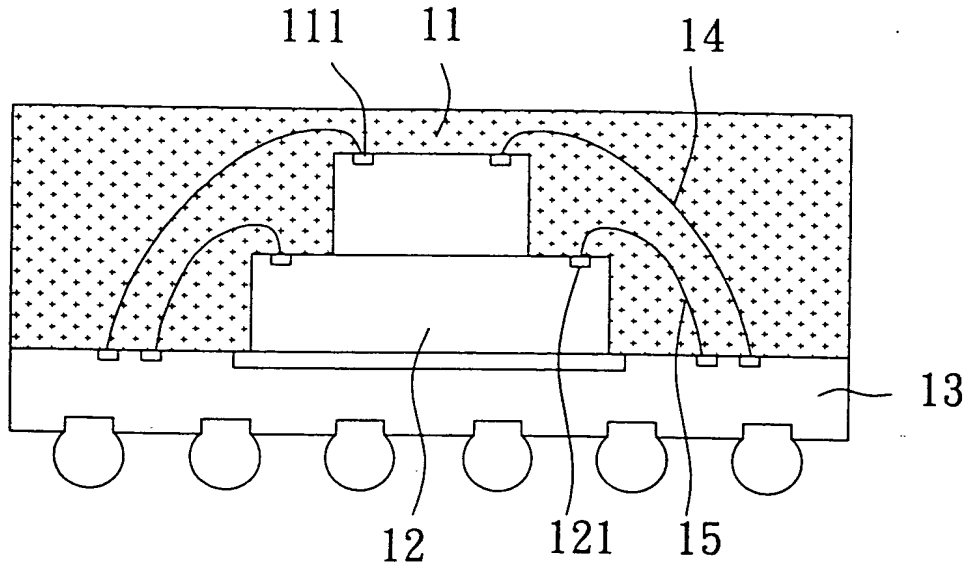


圖1

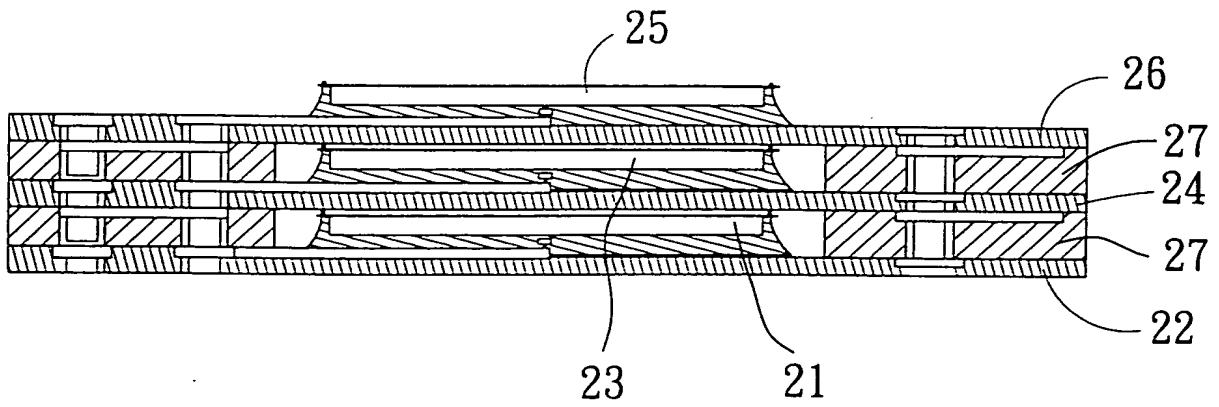


圖2

圖式

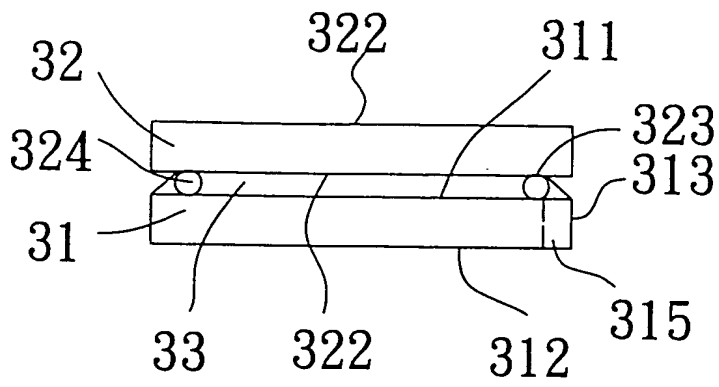


圖3

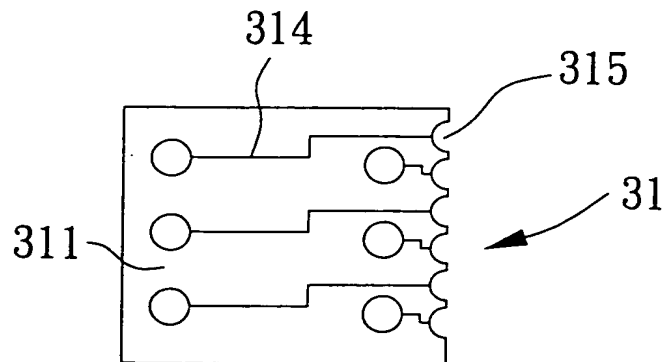


圖4

圖式

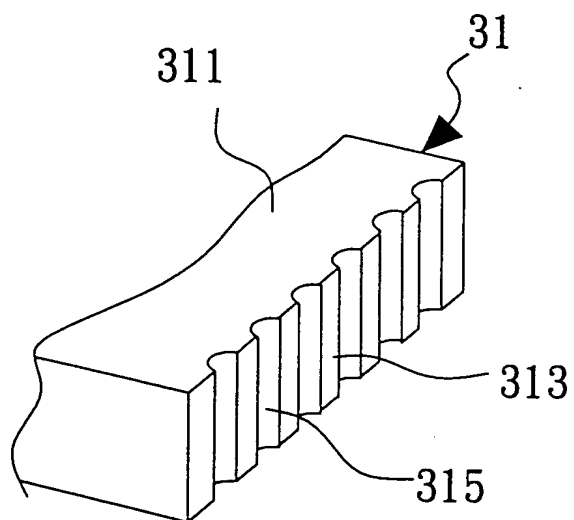


圖5

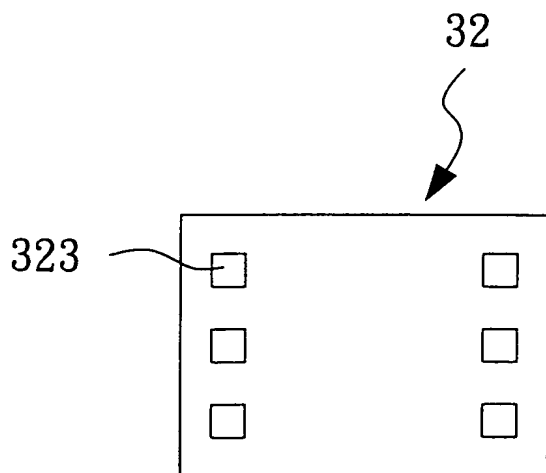


圖6

裝

訂

線

圖式

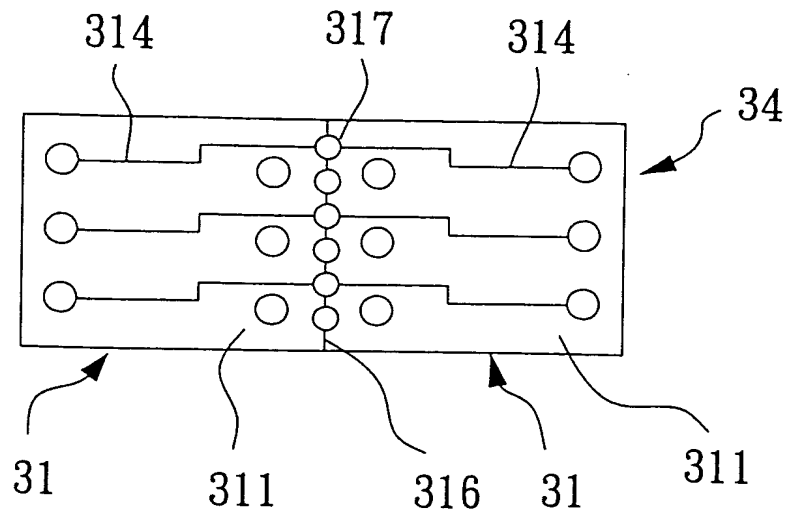


圖 7

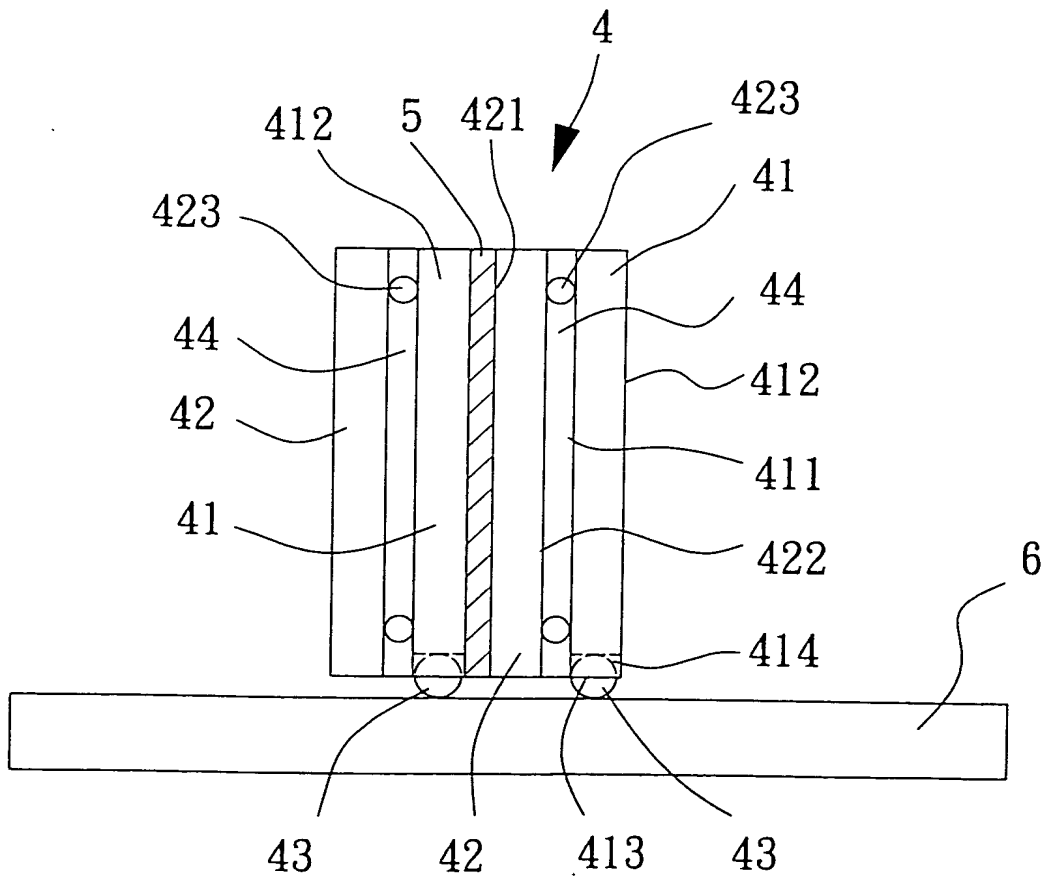


圖 8